

Cu 添加 FeSi₂ 積層デバイスの作製Preparation of Cu added FeSi₂ Laminating DevicesEE19 新関 尚宏
指導教員 加藤 雅彦

1、はじめに

近年、エネルギーの有効利用や多様化に伴って、熱発電材料などへの期待が高まってきている。もともと熱発電材料は高効率ではないので、コストの減少が大きな決め手となる。その中でも、FeSi₂は原料となる物質が鉄とケイ素であるため経済性に優れ、また耐久性、熱電特性においても実用に適した安価な熱電材料として注目されている。また、ケイ化物は従来の半導体と異なり、構造敏感性でないことから工業用原料(純度98%以上)を使用しても十分な特性が得られることや、製造法にはセラミック技術が用いられ、比較的複雑な形状の熱発電素子が容易にできることも実用上の長所となっている。

p 形と n 形の FeSi₂ で構成した、p-n 接合熱発電素子は、温度差 800K のとき開放電圧が約 0.35V 程度得られている。この素子を数個直列接続することで 1.5V 以上の電圧が得られると考えられる。これまでの研究において、FeSi₂ 焼結体に Cu を添加すると β-FeSi₂ を生成する為の熱処理時間を短縮できることが発見され、熱処理時間と Cu の添加量が熱電特性に及ぼす影響が詳細に調べられた。

そこで本研究では、良い特性が得られた条件で Cu 添加 FeSi₂ の p-n 接合素子を作製し、熱電特性を評価することを目的とした。さらに、一体化積層デバイスの作製も試み、熱電特性の検討を行った。

2、実験方法

p 形は Fe_{0.92}Mn_{0.08}Si_{2.1}、n 形は Fe_{0.96}Co_{0.04}Si_{2.1} の組成で原料を秤量した。アーク溶解でインゴットを作製し鉄乳鉢および自動乳鉢により微粉碎した。粉末に PVA を混ぜ仮プレスをし、さらに砕いて 180~355 μm にふるいわけをした。造粒された粉末を U 字型ダイスに p 形と n 型を先端で分岐させて充填し、294MPa で本プレスを行い、圧粉体を作製した。電気炉内で大気中 400℃まで昇温させて PVA を除去した。その後、真空にして焼結温度 1170℃まで上げ 3 時間保持した。熱処理は 800℃で 36 時間までの範囲で施した。試料の表面を研磨した後、熱電対などを取り付けた。小型電気炉を用いて温度差特性、負荷特性を調べた。

本研究の積層デバイスは、上記の工程を経て作製した単独の素子をセラソルザ(セラミック用半

田) とアロンセラミックボンドを用いて積層形熱発電素子としたものと、p 形と n 形が直列接続になるよう一体成形し、焼結したものの 2 種類を作製した。一体型のは絶縁箇所を使用する材料についても検討した。

3、結果

温度 800℃で熱処理時間を検討した結果、良好な特性を得られたのは 25 時間であった。この条件で作製した単独素子とセラソルザにより積層した 2 層デバイスの 800K における負荷特性を図 1 に示す。単独素子および積層デバイスの開放電圧はそれぞれ 425mV および 721mV であった。また最大電力は、単独素子の 13.4mW に比べ積層デバイスは 24.7mW と約 1.8 倍の値を示している。内部抵抗は単独素子の 3.4Ω に比べて積層デバイスは 5.2Ω と大きくなっているが、これは半田部の接触抵抗によるものと思われる。一体型積層デバイスの作製を試みた結果では、層間絶縁材料として PVA 粉末またはアルミナ粉末を用いることによって素子に変形が起きにくく薄い積層デバイスを形成できることがわかった。現在、判明した作製条件による一体化積層デバイスの作製と熱電特性の評価を進めている。

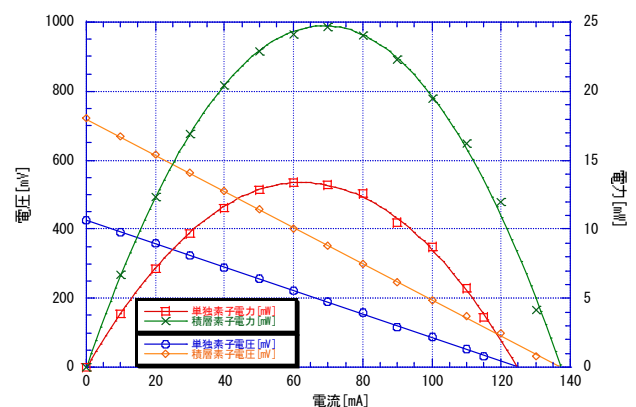


図 1 単独素子と 2 層デバイスの負荷特性

4、おわりに

Cu 添加 FeSi₂ の素子は 25 時間の熱処理で良好な特性が得られ、積層デバイスの特性も良好であることが分かった。また、薄く積層した一体化積層デバイスも作製可能であることが明らかとなった。

本研究で可能となった一体化積層デバイスが、これまで問題であった積層デバイスの接触抵抗を改善し、優れた特性を示すことが期待される。